

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/018405

International filing date: 09 December 2004 (09.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-411776
Filing date: 10 December 2003 (10.12.2003)

Date of receipt at the International Bureau: 24 February 2005 (24.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

24.12.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 1 0 日
Date of Application:

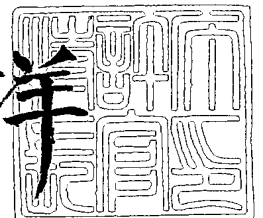
出 願 番 号 特 願 2 0 0 3 - 4 1 1 7 7 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 4 1 1 7 7 6]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 5 年 2 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



【書類名】 特許願
【整理番号】 2706440032
【あて先】 特許庁長官殿
【国際特許分類】 H03M 3/32
H03L 7/197

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】 佐伯 高晴

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
【氏名】 前田 昌克

【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社

【代理人】
【識別番号】 100076174
【弁理士】
【氏名又は名称】 宮井 暎夫

【選任した代理人】
【識別番号】 100105979
【弁理士】
【氏名又は名称】 伊藤 誠

【手数料の表示】
【予納台帳番号】 010814
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0212624

【書類名】 特許請求の範囲**【請求項 1】**

電圧制御発振器と、

分周比が M (M は正整数)、 $(M+1)$ 、 $(M-1)$ に切り替え可能で前記電圧制御発振器の出力信号を分周する可変分周器と、

前記可変分周器の出力信号と基準信号の位相比較を行う位相比較器と、

前記位相比較器の出力信号を平滑して前記電圧制御発振器に与えるループフィルタと、

値 L 以下 (L は正整数) の値 K_1 (K_1 は正整数) を累算する第 1 の L 値アキュムレータと、

値 L 以下の値 K_2 (K_2 は正整数、 $K_2 < K_1$) を累算する第 2 の L 値アキュムレータと、

前記第 1 の L 値アキュムレータのオーバーフロー信号から前記第 2 の L 値アキュムレータのオーバーフロー信号を減じる加算器とを備え、

前記値 K_1 、 K_2 を、 $K_1 - K_2 = K$ を満たし、かつ値 K (K は正整数) より大きな値に設定し、

前記加算器の出力信号を前記可変分周器に分周比切替信号として与えることにより、前記加算器の出力信号が零値のときに前記可変分周器の分周比を M に設定し、前記加算器の出力信号が正值のときに前記可変分周器の分周比を $(M+1)$ に設定し、前記加算器の出力信号が負値のときに前記可変分周器の分周比を $(M-1)$ に設定し、それによって前記可変分周器の平均的な分周比を $M + (K/L)$ にすることを特徴とするデルタシグマ型分数分周 PLL シンセサイザ。

【請求項 2】

第 1 の L 値アキュムレータは、値 K_1 (K_1 は正整数) を一方の入力とする第 1 の L 値加算器と、前記第 1 の L 値加算器の出力を前記基準信号もしくは、前記可変分周器の出力信号で保持し、保持値を前記第 1 の L 値加算器に他方の入力として与える第 1 のデータラッチとからなり、第 2 の L 値アキュムレータは、値 K_2 (K_2 は正整数) を一方の入力とする第 2 の L 値加算器と、前記第 2 の L 値加算器の出力を前記基準信号もしくは、前記可変分周器の出力信号で保持し、保持値を前記第 2 の L 値加算器に他方の入力として与える第 2 のデータラッチとからなる請求項 1 記載のデルタシグマ型分数分周 PLL シンセサイザ。

【請求項 3】

請求項 1 記載のデルタシグマ型分数分周 PLL シンセサイザを含んで構成された高次デルタシグマ型分数分周 PLL シンセサイザ。

【書類名】 明細書

【発明の名称】 デルタシグマ型分数分周 PLL シンセサイザ

【技術分野】

【0001】

本発明は、デルタシグマ型分数分周 PLL シンセサイザにおける出力スプリアスを低減するためのものであり、これにより先行技術からの特性改善を図ることを可能とする回路に関するものである。

【背景技術】

【0002】

図3にデルタシグマ型分数分周 PLL シンセサイザのブロック図を示す。まず、温度制御発振器 (TCXO) 7からの基準信号 f_{ref} と、電圧制御発振器 (VCO) 1の出力信号 f_o を可変分周器 2Aにより分周した信号 f_{div} との位相差を位相比較器 (PD) 3で検出する。そして、その位相差に応じたパルス幅の電圧パルスが位相比較器 3からチャージポンプ回路 (CP) 4に送られる。

【0003】

チャージポンプ回路 4は、位相比較器 3の出力に応じて、電流の吐き出し、吸い込み、もしくはハイインピーダンス (Hi-Z) の状態のいずれかとなるチャージポンプ出力電流 I_{cp} を出力する。このチャージポンプ出力電流 I_{cp} はループフィルタ (ローパスフィルタ) 5で平滑化および電圧変換されて、電圧制御発振器 1の制御電圧となる。

【0004】

電圧制御発振器 1の出力信号 f_o は、可変分周器 2Aにより分周され、比較信号 f_{div} として位相比較器 3へフィードバックされる。したがって電圧制御発振器 1の出力信号 f_o は、可変分周器 2Aの分周比を $M+(K/L)$ 、基準信号 f_{ref} の周波数を f_{ref} とすれば以下のように表される。

【0005】

$$f_o = M+(K/L) \times f_{ref} \quad \dots\dots (1)$$

M, K, L: 正整数値 M: 整数部分周比 K/L: 小数点部分周比

可変分周器 2Aは、整数部分周比Mの値を入力する整数分周比入力端子と、分周比をMからM+1に変化させる信号を入力する分周比切替端子とを有し、分周比がM、(M+1)に切り替え可能な構成となっている。具体的には、可変分周器 2Aは、通常は分周比をMとし、分周比切替端子に分周比切替信号が入力されたときにのみ分周比を(M+1)とすることによって、平均的な分周比 $M+(K/L)$ を実現するものである。

【0006】

このような分周比の変化は、デルタシグマ部を構成するL値アキュムレータ11で実現することができる。すなわち、L値アキュムレータ11のオーバーフロー信号9を分周比切替端子に入力することにより、L値アキュムレータ11にオーバーフロー信号9が発生したときにのみ分周比を(M+1)とすることによって、平均的な分周比 $M+(K/L)$ を実現するものである。

【0007】

L値アキュムレータ11は、累算値が値Lとなると、オーバーフロー信号9を発生するもので、K値15を一方の入力とするL値加算器12と、L値加算器12の出力を基準信号 f_{ref} で保持し、保持値をL値加算器12に他方の入力として与えるデータラッチ13とからなる。このL値アキュムレータ11は、基準信号 f_{ref} に等しいクロックにより値Kずつ出力値が増加し、L値加算器12がオーバーフローした時に分周比がM+1となる。オーバーフロー信号9が発生しない時、分周比はMを保つ(例えば、非特許文献1参照)。

【0008】

ここで、図4を用いて、デルタシグマ部の動作原理を説明する。図4には、分周比 $= K/L = 1/8$ の場合における、基準信号 f_{ref} と、加算器12に入力されるK値15と、データラッチ12の出力14と、加算器12の出力10と、オーバーフロー信号9と、

可変分周器 2A の分周比とが示されている。

【0009】

分数分周 PLL シンセサイザでは、一般的な可変分周器 2A の分周比を時間的に変化させ、平均値として分数値の分周比を実現する。基準信号 f_{ref} の 1 周期 $= 1/f_{ref}$ を 1 クロック時間とすると、L クロック時間 (期間 T) の間に 1 度だけ分周比が M から M+1 に変化する。この時、期間 T における分周比の平均値は、 $M + (1/L)$ で示される。この分数部分の項の $(1/L)$ は、 (K/L) に拡張して考えることができ、 $K=1, 2, 3 \dots$ とすることによって、 $(1/L)$ ステップで分周比を設定できる。

【0010】

また一般的に、デルタシグマ回路を複数個接続した “MASH” を形成する事により、デルタシグマ構成のノイズ特性の改善が図られることが知られている (例えば、非特許文献 2 参照)。

【特許文献 1】特開 2000-052044 号公報

【特許文献 2】特表平 5-500894 号公報

【非特許文献 1】電子情報通信学会論文誌 C-1 Vol. J76-C-1 NO11 pp. 445-452 1993 年 11 月 分数分周方式を用いた高速周波数切換シンセサイザ

【非特許文献 2】IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 24, NO. 4, AUGUST 1989 pp. 696 “A 17-bit Oversampling D-to-A Conversion Technology Using Multistage Noise Shaping”

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかし、上記先行技術の構成では、下に示した (a)、(b)、(c) が主な原因となり、電圧制御発振器 1 の出力信号 f_o より、 $\Delta f = f_{ref} \times (K/L)$ 離調した周波数にスプリアスが発生していた。

【0012】

(a) オーバーフロー信号 9 の周期性

(b) L 値アキュムレータ 11 の周期的動作ノイズのチャージポンプ回路 4 等への漏れ込み

(c) 小数点部分周比 (K/L) が、 $1/2^n$ の場合

(a) については、L 値アキュムレータ 11 を多段に接続することで、原理的に対策は可能である。

【0013】

しかし、(b) が原因で発生するスプリアスのうち、 Δf が小さい (電圧制御発振器 1 の出力信号 f_o に近い周波数) 場合のスプリアス、すなわちループフィルタ 5 で減衰させることのできない低周波スプリアスについては根本的対策が無かった。

【0014】

また、(c) については、原理的にスプリアスが発生し易いという問題があった。

【0015】

したがって、本発明の目的は、L 値アキュムレータの周期的動作ノイズに起因するスプリアス、特に従来ループフィルタで除去することができなかった低周波スプリアスを十分に減衰させることができるデルタシグマ型分数分周 PLL シンセサイザを提供することである。

【課題を解決するための手段】

【0016】

本発明のデルタシグマ型分数分周 PLL シンセサイザは、電圧制御発振器 (1) と、分周比が M (M は正整数)、 $(M+1)$ 、 $(M-1)$ に切り替え可能で電圧制御発振器 (1) の出力信号 f_o を分周する可変分周器 (2) と、可変分周器 (2) の出力信号 f_{div} と基準信号 f_{ref} の位相比較を行う位相比較器 (4) と、位相比較器 (4) の出力信号を平滑して電圧制御発振器 (1) にフィードバックするループフィルタ (5) と、値 L 以

下 (L は正整数) の値 K_1 (K_1 は正整数) を累算する第 1 の L 値アキュムレータ (31) と、値 L 以下の値 K_2 (K_2 は正整数、 $K_2 < K_1$) を累算する第 2 の L 値アキュムレータ (30) と、第 1 の L 値アキュムレータ (31) のオーバーフロー信号から第 2 の L 値アキュムレータ (30) のオーバーフロー信号を減じる加算器 (29) とを備えている。

【0017】

そして、このデルタシグマ型分数分周 PLL シンセサイザは、値 K_1 、 K_2 を、 $K_1 - K_2 = K$ を満たし、かつ値 K (K は正整数) より大きな値に設定し、加算器 (29) の出力信号を可変分周器 (2) に分周比切替信号として与えることにより、加算器 (29) の出力信号が零値のときに可変分周器 (2) の分周比を M に設定し、加算器 (29) の出力信号が正值のときに可変分周器 (2) の分周比を $(M+1)$ に設定し、加算器 (29) の出力信号が負値のときに可変分周器 (2) の分周比を $(M-1)$ に設定し、それによって可変分周器 (2) の平均的な分周比を $M + (K/L)$ にする。

【0018】

ここで、第 1 の L 値アキュムレータ (31) は、例えば値 K_1 (K_1 は正整数) を一方の入力とする第 1 の L 値加算器 (22) と、第 1 の L 値加算器 (22) の出力を基準信号 f_{ref} 、もしくは可変分周器 (2) の出力信号で保持し、保持値を第 1 の L 値加算器 (22) に他方の入力として与える第 1 のデータラッチ (24) とからなり、第 2 の L 値アキュムレータ (30) は、例えば値 K_2 (K_2 は正整数) を一方の入力とする第 2 の L 値加算器 (23) と、第 2 の L 値加算器 (23) の出力を基準信号 f_{ref} 、もしくは可変分周器 (2) の出力信号で保持し、保持値を第 2 の L 値加算器 (23) に他方の入力として与える第 2 のデータラッチ (25) とからなる。

【0019】

ここで、上記デルタシグマ型分数分周 PLL シンセサイザの作用について説明する。上記 (b) が原因で発生するスプリアスのうち、ループフィルタ (5) で減衰させることのできない低周波スプリアス対策として、従来 1 個で構成していた L 値アキュムレータ (11) を、図 1 に示すように、2 個で構成し、所望の分数分周比データ K 値 (15) に対して、

$$K \text{ 値 (15)} = K_1 \text{ 値 (18)} - K_2 \text{ 値 (19)} \quad \dots\dots (2)$$

を満たすような K_1 値 (18)、 K_2 値 (19) (共に正整数値) を第 1 の L 値アキュムレータ (31) 及び第 2 の L 値アキュムレータ (30) へ入力する。例えば、 K 値 (15) = 1 を設定したい時、(2) 式を満たすような K_1 値 (18) = 5、 K_2 値 (19) = 4 を設定する。

【0020】

これにより、第 1 の L 値アキュムレータ 1 (31) 及び第 2 の L 値アキュムレータ 2 (30) の動作ノイズは、先行技術における $\Delta f = f_{ref} \times (1/L)$ といった低周波スプリアスから、 $\Delta f_1 = f_{ref} \times (5/L)$ 及び $\Delta f_2 = f_{ref} \times (4/L)$ といった高い周波数成分へ移行することになる。そのため、 L 値アキュムレータ (31, 30) の周期的動作ノイズが原因で発生するスプリアスは、ループフィルタ (5) でほぼ完全に減衰させることができる。

【0021】

また、本発明の高次デルタシグマ型分数分周 PLL シンセサイザは、上記構成を有する本発明のデルタシグマ型分数分周 PLL シンセサイザを含んで構成される。

【発明の効果】

【0022】

本発明のデルタシグマ型分数分周 PLL シンセサイザによれば、第 1 および第 2 の L 値アキュムレータを設け、第 1 および第 2 の L 値アキュムレータのオーバーフロー信号の差を加算器でとり、加算器の出力信号で、分周比を M 、 $M+1$ 、 $M-1$ に切替可能な可変分周器の分周比を切り替えるようにしたことにより、第 1 および第 2 の L 値アキュムレータの動作ノイズによって発生するスプリアスの周波数を先行技術よりも高い周波数成分へ移

行させることができ、ループフィルタ（ローパスフィルタ）で除去することが容易となり、低スプリアス化を図ることができる。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施の形態を、図面を参照しながら説明する。

【0024】

（実施の形態1）

本発明の実施の形態1のデルタシグマ型分数分周PLLシンセサイザについて、図1および図2を参照しながら説明する。

【0025】

このデルタシグマ型分数分周PLLシンセサイザは、図1に示すように、温度制御発振器（TCXO）7からの基準信号 f_{ref} と、電圧制御発振器（VCO）1の出力信号 f_o を可変分周器2により分周した信号 f_{div} との位相差を位相比較器（PD）3で検出する。そして、その位相差に応じたパルス幅の電圧パルスが位相比較器3からチャージポンプ回路（CP）4に送られる。

【0026】

チャージポンプ回路4は、位相比較器3の出力に応じて、電流の吐き出し、吸い込み、もしくはハイインピーダンス（Hi-Z）の状態のいずれかとなるチャージポンプ出力電流 I_{cp} を出力する。このチャージポンプ出力電流 I_{cp} はループフィルタ（ローパスフィルタ）5で平滑化および電圧変換されて、電圧制御発振器1の制御電圧となる。

【0027】

電圧制御発振器1の出力信号 f_o は、可変分周器2により周波数 f_o が分周され、比較信号 f_{div} として位相比較器3へフィードバックされる。したがって電圧制御発振器1の出力信号 f_o は、可変分周器2の分周比を $M+(K/L)$ 、基準信号 f_{ref} の周波数を f_{ref} とすれば以下のように表される。

【0028】

$$f_o = M+(K/L) \times f_{ref} \quad \dots\dots (3)$$

M, K, L : 正整数値 M : 整数部分周比 K/L : 小数点部分周比

可変分周器2は、整数部分周比 M の値を入力する整数分周比入力端子と、分周比を M から $M+1$ もしくは $M-1$ に変化させる信号を入力する分周比切替端子とを有し、分周比が M 、 $(M+1)$ 、 $(M-1)$ に切り替え可能な構成となっている。具体的には、可変分周器2は、通常は分周比を M とし、分周比切替端子に分周比切替信号として正值の信号が入力されたときに分周比を $(M+1)$ とし、負値の信号が入力されたときに分周比を $(M-1)$ とし、零値の信号が入力されたときに分周比を M とすることによって、平均的な分周比 $M+(K/L)$ を実現するものである。

【0029】

このような分周比の変化は、デルタシグマ部X1を構成するL値アキュムレータ31、30および加算器29で実現することができる。すなわち、L値アキュムレータ31は、値L以下（Lは正整数）の値 K_1 （ K_1 は正整数）を累算し、L値アキュムレータ30は、値L以下の値 K_2 （ K_2 は正整数、 $K_2 < K_1$ ）を累算する。そして、加算器29は、L値アキュムレータ31のオーバーフロー信号16からL値アキュムレータ30のオーバーフロー信号17を減じてオーバーフロー信号9を出力する。

【0030】

そして、値 K_1 、 K_2 を、 $K_1 - K_2 = K$ を満たし、かつ値 K （ K は正整数）より大きな値に設定する。また、加算器29の出力信号であるオーバーフロー信号9を分周比切替端子に入力することにより、加算器29のオーバーフロー信号9が零値のときに可変分周器2の分周比を M に設定し、加算器29のオーバーフロー信号9が正值のときに可変分周器2の分周比を $(M+1)$ に設定し、加算器29のオーバーフロー信号9が負値のときに可変分周器2の分周比を $(M-1)$ に設定し、それによって可変分周器2の平均的な分周比を $M+(K/L)$ にする。

【0031】

L値アキュムレータ31は、累算値が値Lとなるとオーバーフロー信号16を発生するもので、分数分周比データK1値18を一方の入力とするL値加算器22と、L値加算器22の出力26を基準信号f r e f、もしくは可変分周器2の出力信号で保持し、保持値（データラッチ出力）20をL値加算器22に他方の入力として与えるデータラッチ24とからなる。このL値アキュムレータ31は、基準信号f r e fに等しいクロックによりK1値18ずつ出力値26が増加する。

【0032】

L値アキュムレータ30は、上記L値アキュムレータ31と同様に累算値が値Lとなるとオーバーフロー信号17を発生するもので、分数分周比データK2値19を一方の入力とするL値加算器23と、L値加算器23の出力27を基準信号f r e f、もしくは可変分周器2の出力信号で保持し、保持値（データラッチ出力）21をL値加算器23に他方の入力として与えるデータラッチ25とからなる。このL値アキュムレータ30は、基準信号f r e fに等しいクロックによりK2値19ずつ出力値27が増加する。

【0033】

加算器28は、L値加算器22、23の出力を加算して出力10を発生する。この出力10は、本デルタシグマ型分数分周PLLシンセサイザを用いて高次デルタシグマ型分数分周PLLシンセサイザを構成するときに使用される。図1の構成に限っては、必要なものではない。

【0034】

以上のようなデルタシグマ部X1の構成によって、L値加算器22のみがオーバーフローしたときに分周比がM+1となり、L値加算器23のみがオーバーフローしたときに分周比がM-1となり、L値加算器22、23の両方がオーバーフローしたとき、あるいは、L値加算器22、23の両方ともオーバーフローしないときに、分周比がMに保たれる。

【0035】

以下、図2を参照しながら、デルタシグマ部X1について、さらに詳しく説明する。図2には、分周比 $=K/L=1/8$ 、 $K1=5$ 、 $K2=4$ の場合における、基準信号f r e fと、K1値18と、データラッチ24の出力20と、L値加算器22の出力26と、オーバーフロー信号16と、K2値19と、データラッチ25の出力21と、L値加算器23の出力27と、オーバーフロー信号17と、加算器28の出力10と、オーバーフロー信号9と、可変分周器2の分周比とが示されている。

【0036】

L値アキュムレータ31は、分数分周比データK1値18とデータラッチ24の出力20とが入力され、オーバーフロー信号16を出力するL値加算器22と、L値加算器22の出力26と基準信号f r e fとが入力されるデータラッチ24にて構成される。また、L値アキュムレータ30は、分数分周比データK2値19とデータラッチ25の出力21とが入力され、オーバーフロー信号17を出力するL値加算器23と、L値加算器23の出力27と基準信号f r e fとが入力されるデータラッチ25にて構成される。

【0037】

加算器28は、L値加算器22の出力26からL値加算器23の出力27を減算し、加算出力10を出力し、加算器29は、L値加算器22のオーバーフロー信号16からL値加算器23のオーバーフロー信号17を減算し、オーバーフロー信号9を出力する。

【0038】

先行技術の従回路では、 $f r e f=200\text{kHz}$ 、 $L=8$ で、 K 値 $(15)=1$ を設定する場合、L値アキュムレータ11の周期的動作ノイズが原因によるスプリアス成分は、

$$\Delta f = 200\text{kHz} \times (1/8) = 25\text{kHz}$$

つまり、電圧制御発振器1の出力信号f oより、25kHz離調した周波数にスプリアスが発生していた。

【0039】

しかし、本発明の実施の形態の構成では、上記と同様の設定をしたい場合、例えば、 $K1$ 値 (18) = 5、 $K2$ 値 (19) = 4 と設定する。ここで、 $K1$ 値 (18) 及び $K2$ 値 (19) は、前述の (2) 式を満たし、かつ許容される大きな値 (値 K より大きく、値 L 以下の値) に設定することで、アキュムレータ 1 (31) 及びアキュムレータ 2 (30) の周期的動作ノイズ動作ノイズが原因によるスプリアス成分の離調周波数 Δf は先行技術の場合に比べて大きくなる。そのため、ループフィルタ 5 で減衰させることが容易である。

【0040】

$K1$ 値 (18) = 5、 $K2$ 値 (19) = 4 での L 値アキュムレータ 31 及び L 値アキュムレータ 30 の周期的動作ノイズが原因で発生するスプリアスの離調周波数は、

$$\Delta f1 = 200 \text{ kHz} \times (5/8) = 125 \text{ kHz}$$

$$\Delta f2 = 200 \text{ kHz} \times (4/8) = 100 \text{ kHz}$$

となり、従来と比べて高い周波数成分へ移行することが分かる。このため、 L 値アキュムレータ 31 及び L 値アキュムレータ 30 の周期的動作ノイズが原因で発生するスプリアスは、ループフィルタ 5 でほぼ完全に減衰させることができる。

【0041】

さらに、先行技術では、 $K/L = 1/2^n$ の分周比において低域のスプリアスが多くなることがあったが、今回の回路ではそれも緩和されるという効果がある。

(実施の形態 2)

本発明の実施の形態 2 の高次デルタシグマ型分数分周 PLL シンセサイザについて、図 5 を参照しながら説明する。

【0042】

この高次デルタシグマ型分数分周 PLL シンセサイザは、図 5 に示すように、実施の形態 1 に示したもの (符号 X1 で示す) と同じ構成の第 1 のデルタシグマ部 X1 に加えて、実施の形態 1 に示したもの (符号 X1 で示す) と同じ構成の第 2 のデルタシグマ部 X2 を設け、第 2 のデルタシグマ部 X2 への入力値 K を、実施の形態 1 で示したような条件に分配する分配器 51 を設ける。第 2 のデルタシグマ部 X2 への入力値 K は、第 1 のデルタシグマ部 X1 の加算出力 10 である。つまり、加算出力 10 が分配器 51 で、以下のように分配されて第 2 のデルタシグマ部 X2 へ入力される。

【0043】

分配器 51 は、加算出力 10 を $K3$ 値と $K4$ 値とに分配する。分配の仕方は、実施の形態 1 と同様にして、

$$“K3” - “K4” = “加算出力 10”$$

かつ、“ $K4$ ” < “ $K3$ ” を満たし、かつ “ $K3$ ”, “ $K4$ ” とともに、“加算出力 10” の値よりも大きな値 (正整数) に設定される。

【0044】

第 2 のデルタシグマ部 X2 の出力であるオーバーフロー信号 54 は微分器 52 で微分された後、加算器 53 でデルタシグマ部 X1 の出力であるオーバーフロー信号 9 と加算され、加算器 53 の出力信号が可変分周器 2B に分周比切替信号として与えられる。

【0045】

ここで、デルタシグマ部 X1, X2 のオーバーフロー信号 9, 54 は、図 2 に示したように、例えば…0, +1, -1, +1, 0…と変化し、これを微分すると、つまり連続した 2 つの値の差をとると、…1, -2, +2, -1…となる。オーバーフロー信号 9 とオーバーフロー信号 54 の微分値とを加算すると、各値の組み合わせの中で加算結果の最大値は +3 となり、最小値は -3 となる。したがって、可変分周器 2B は、加算器 53 から入力される加算結果に応じて、分周比を $M+3$ 、 $M+2$ 、 $M+1$ 、 M 、 $M-1$ 、 $M-2$ 、 $M-3$ のいずれかに切り替えることになる。

【0046】

これにより、本発明の実施の形態でも、デルタシグマ回路を複数個接続した “MASH” を形成することができ、前述の非特許文献 2 に記載の効果と同様の効果が得られ、低ノイズ

化に有利である。

【0047】

なお、実施の形態 2 は、2 次の構成の例を示したが、3 次以上の構成も同様に考えることができる。

【産業上の利用可能性】

【0048】

本発明にかかるデルタシグマ型分数分周 PLL シンセサイザは、低スプリアス化を図ることができるという効果が必要な携帯電話機などの移動体通信機器等の用途に適用できる。

【図面の簡単な説明】

【0049】

【図 1】本発明の実施の形態 1 のデルタシグマ型分数分周 PLL シンセサイザの構成を示すブロック図である。

【図 2】本発明の実施の形態 1 におけるアキュムレータ及び可変分周器分周比の時間変化を示すタイミング図である。

【図 3】デルタシグマ型分数分周 PLL シンセサイザの先行技術の構成を示すブロック図である。

【図 4】デルタシグマ型分数分周 PLL シンセサイザの先行技術におけるアキュムレータ及び可変分周器分周比の時間変化を示すタイミング図である。

【図 5】本発明の実施の形態 2 のデルタシグマ型分数分周 PLL シンセサイザの構成を示すブロック図である。

【符号の説明】

【0050】

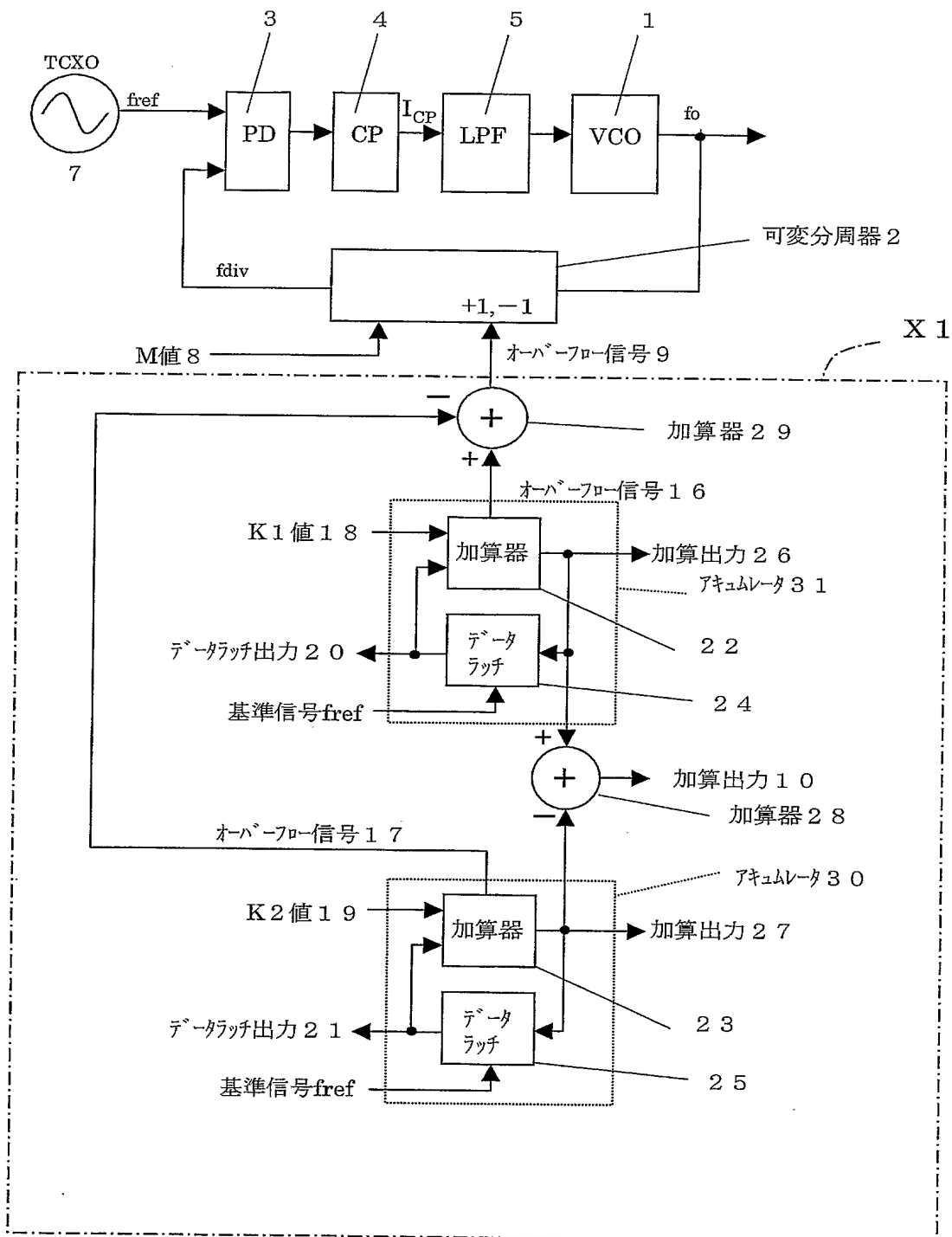
- 1 電圧制御発振器
- 2 可変分周器
- 3 位相比較器
- 4 チャージポンプ回路
- 5 ループフィルタ
- 7 温度制御発振器
- 8 M 値
- 9 オーバーフロー信号
- 10 加算出力
- 11 アキュムレータ
- 12 加算器
- 13 データラッチ
- 14 データラッチ出力
- 15 K 値
- 16 オーバーフロー信号
- 17 オーバーフロー信号
- 18 K1 値
- 19 K2 値
- 20 データラッチ出力
- 21 データラッチ出力
- 22 L 値加算器
- 23 L 値加算器
- 24 データラッチ
- 25 データラッチ
- 26 加算器出力
- 27 加算器出力
- 28 加算器

2 9 加算器

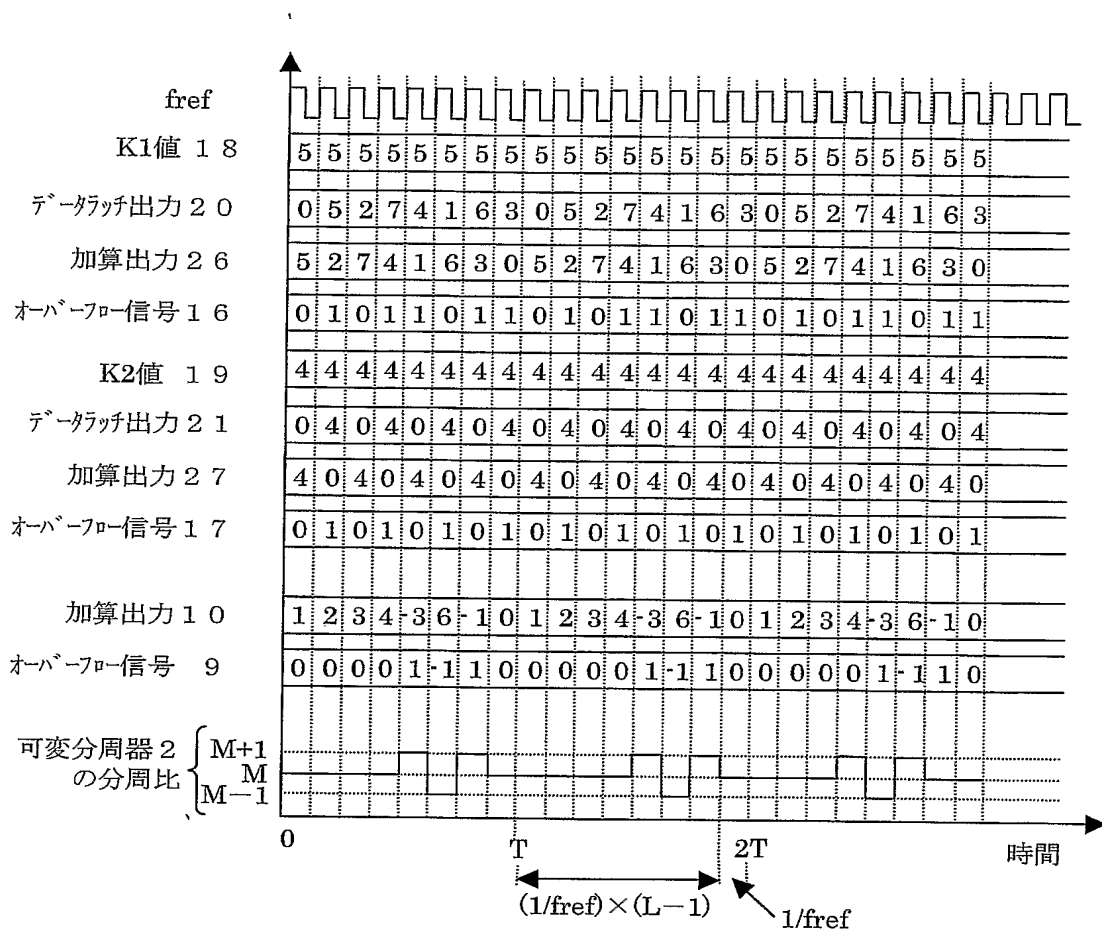
3 0, 3 1 アキュムレータ

【書類名】 図面

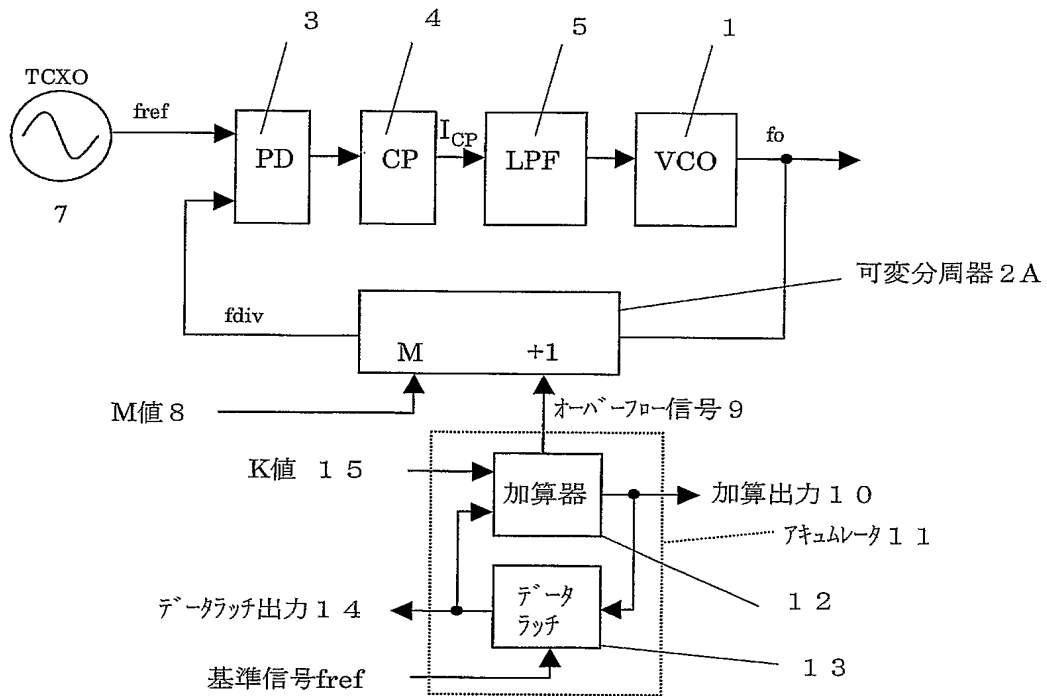
【図 1】



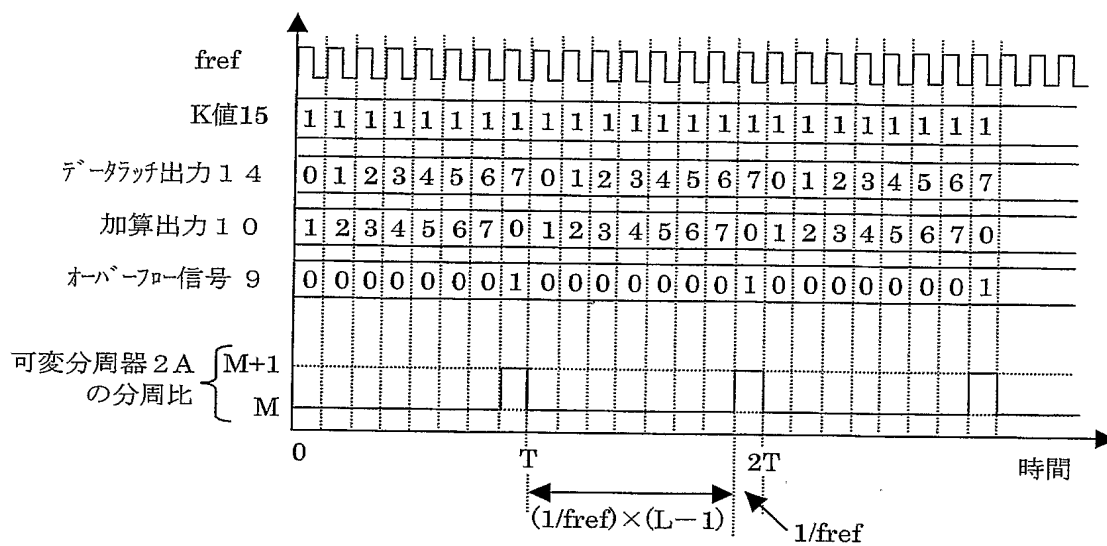
【図 2】



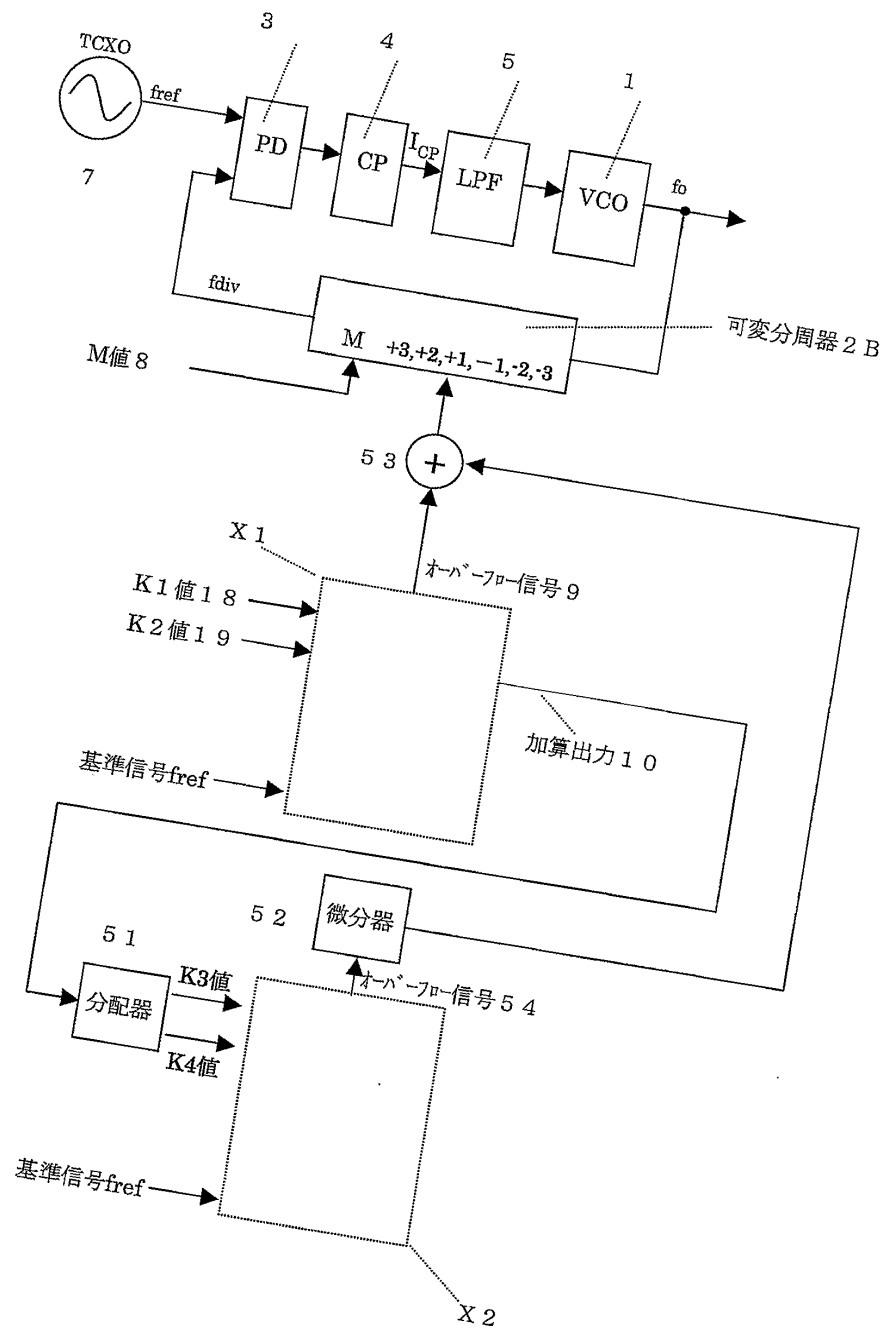
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 デルタシグマ型分数分周 PLL シンセサイザの低スプリアス化を図る。

【解決手段】 第 1 および第 2 の L 値アキュムレータ 3 1、3 0 を設け、第 1 および第 2 の L 値アキュムレータ 3 1、3 0 のオーバーフロー信号 1 6、1 7 の差を加算器 2 9 でとり、加算器 2 9 の出力信号で、分周比を M 、 $M+1$ 、 $M-1$ に切替可能な可変分周器 2 の分周比を切り替えるようにする。これにより、第 1 および第 2 の L 値アキュムレータ 3 1、3 0 の動作ノイズによって発生するスプリアスの周波数を先行技術よりも高い周波数成分へ移行させ、ループフィルタ（ローパスフィルタ）5 で除去する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 4 1 1 7 7 6
受付番号	5 0 3 0 2 0 3 4 1 3 0
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 5 年 1 2 月 1 1 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 12 月 10 日

特願 2 0 0 3 - 4 1 1 7 7 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社